

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-162450

(43)Date of publication of application : 07.06.2002

(51)Int.Cl.

G01R 31/316

H03M 1/10

(21)Application number : 2000-356724

(71)Applicant : MITSUBISHI ELECTRIC CORP
RYODEN SEMICONDUCTOR SYST
ENG CORP

(22)Date of filing : 22.11.2000

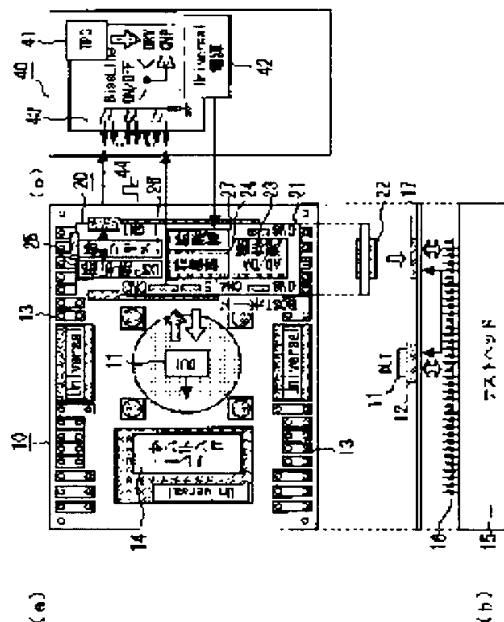
(72)Inventor : MORI OSANARI
YAMADA SHINJI
FUNAKURA TERUHIKO

(54) TESTING DEVICE OF SEMICONDUCTOR INTEGRATED CIRCUIT, AND TEST METHOD OF THE SEMICONDUCTOR INTEGRATED CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a testing device of a semiconductor integrated circuit, capable of executing a test of an A/D conversion circuit and a D/A conversion circuit highly accurately at high speed concerning the mixed signal type semiconductor integrated circuit, having the A/D conversion circuit and the D/A conversion circuit.

SOLUTION: A test auxiliary device is installed near a test circuit board, on which the semiconductor integrated circuit to be tested is installed. The test auxiliary device is provided with a data circuit for giving an analog test signal to the A/D conversion circuit of the semiconductor integrated circuit to be tested and a digital test signal to the D/A conversion circuit thereof; a measurement data memory for storing a test output from the semiconductor integrated circuit to be tested; and an analysis part for analyzing the stored data in the measurement data memory.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-162450

(P2002-162450A)

(43) 公開日 平成14年6月7日(2002.6.7)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード*(参考)
G 0 1 R 31/316		H 0 3 M 1/10	C 2 G 0 3 2
H 0 3 M 1/10		G 0 1 R 31/28	D 5 J 0 2 2
			C

審査請求 未請求 請求項の数18 O L (全 15 頁)

(21) 出願番号 特願2000-356724(P2000-356724)

(22) 出願日 平成12年11月22日(2000.11.22)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(71) 出願人 591036505

菱電セミコンダクタシステムエンジニアリ
ング株式会社

兵庫県伊丹市瑞原4丁目1番地

(72) 発明者 森 長也

兵庫県伊丹市瑞原4丁目1番地 菱電セミ
コンダクタシステムエンジニアリング株式
会社内

(74) 代理人 100082175

弁理士 高田 守 (外3名)

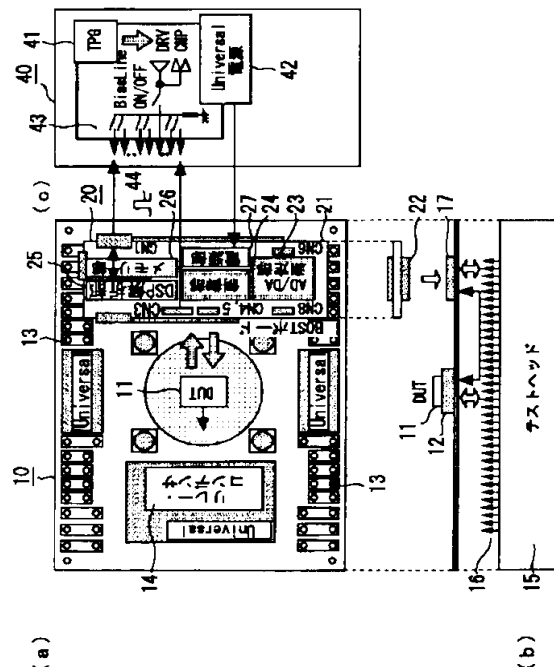
最終頁に続く

(54) 【発明の名称】 半導体集積回路の試験装置および半導体集積回路の試験方法

(57) 【要約】

【課題】 A/D変換回路とD/A変換回路を有するミックス・シグナルタイプの半導体集積回路について、A/D変換回路とD/A変換回路の試験を、高精度に、高速で行うことのできる半導体集積回路の試験装置を提案する。

【解決手段】 被試験半導体集積回路を搭載したテスト回路基板の近傍に、テスト補助装置を設け、このテスト補助装置には、被試験半導体集積回路のA/D変換回路にアナログ試験信号を、そのD/A変換回路にデジタル試験信号を与えるデータ回路と、被試験半導体集積回路からの試験出力を記憶する測定データメモリと、この測定データメモリの記憶データを分析する解析部を設けた。



【特許請求の範囲】

【請求項1】 アナログ信号をデジタル信号に変換するA、D変換回路とデジタル信号をアナログ信号に変換するD、A変換回路を含む被試験半導体集積回路、信号の取込みを行うように構成されたテスト回路基板、このテスト回路基板の近所に配置されそれに接続されたテスト補助装置、前記テスト補助装置に接続された試験機を備え、前記テスト補助装置は、デジタル試験信号を発生して前記被試験半導体集積回路のD、A変換回路に供給するテスト回路と、このテスト回路からのデジタル試験信号をアナログ試験信号に変換して前記被試験半導体集積回路のA、D変換回路に供給する試験用D、A変換回路と、前記被試験半導体集積回路のD、A変換回路からのデジタル試験出力をアナログ試験出力に変換する試験用A、D変換回路と、前記被試験半導体集積回路のA、D変換回路からのデジタル試験出力を前記試験用A、D変換回路のデジタル試験出力を記憶する測定サーキットと、前記測定サーキットに記憶された前記各デジタル試験出力を解析する解析部とを有し、前記試験機の制御部は、前記デジタル試験信号と前記デジタル試験信号を被試験半導体集積回路に与え、前記測定サーキットに記憶された各デジタル試験出力を前記解析部により解析した解析結果を、前記試験機に与えるように構成された半導体集積回路の試験装置。

【請求項2】 前記半導体集積回路を半導体集積回路基板をモータで樹脂で覆ったこのモータと樹脂とを複数の端子を導出したモータと樹脂とを有して構成され、前記テスト回路基板がこのモータと樹脂とを装着する穴を有する請求項1記載の半導体集積回路の試験装置。

【請求項3】 前記半導体集積回路を半導体チップに含まれており、前記テスト回路基板には前記半導体集積回路に、テストする複数のパターンの設けられている請求項1記載の半導体集積回路の試験装置。

【請求項4】 前記テスト補助装置が前記試験用D、A変換回路と前記試験用A、D変換回路と前記測定サーキットと前記解析回路とを搭載したテスト補助基板を有している請求項1記載の半導体集積回路の試験装置。

【請求項5】 前記テスト補助基板が前記テスト回路基板の穴に挿入されるようになされた請求項4記載の半導体集積回路の試験装置。

【請求項6】 前記テスト補助基板が前記テスト回路基板に積載されている請求項4記載の半導体集積回路の試験装置。

【請求項7】 前記テスト補助装置が前記テスト回路基板に直接取り付けられている請求項1、2または3記載の半導体集積回路の試験装置。

【請求項8】 前記試験用A、D変換回路および前記被試験半導体集積回路のA、D変換回路がデジタル試験出力を出力する毎に進め信号を出力し、これに基づき、前記データ回路からのデジタル試験信号が進み、また測定

データメモリのプロンプが進められる請求項1記載の半導体集積回路の試験装置。

【請求項9】 前記被試験半導体集積回路のA、D変換回路はデジタル試験出力を出力する毎に前記試験機に進め信号を出力し、この進め信号に基づき、前記テスト回路からのデジタル試験信号が進み、また測定サーキットからのプロンプが進められる請求項1記載の半導体集積回路の試験装置。

【発明の他の説明】

【0001】

【産業上の利用分野】 この発明は半導体集積回路の試験装置、特にアナログ信号をデジタル信号に変換するA、D変換回路とデジタル信号をアナログ信号に変換するD、A変換回路を含む半導体集積回路の試験装置に関するものである。

【0002】

【従来の技術】 この半導体集積回路の試験装置はアナログとデジタルとを兼ね、近頃、機能的にはアナログ化された複数回路を有して構成されているが、この半導体集積回路は1チップ内LSIまたは複数回路のそれぞれがチップを組み合わせる混成集積回路（ハイブリッドLSI）などとして構成される。このLSIにおいて、高性能、高精度のデジタル回路とアナログ回路を組み合わせる混合化（アナログ・デジタル）の急速に進んでいるが、これらの半導体集積回路に対する試験装置についてはこの混合化に対応が進み、試験装置メーカーはアナログ・デジタルの半導体集積回路に対応するテストを提供されている。

【0003】 しかし、このアナログ・デジタル化半導体集積回路に対応するテストはその高性能仕様に対応するため、装置が高価格化する傾向にあり、そのような状況のなかで、既存の低速、低精度の、例えば、1チップLSIなどには利用されたテストを再利用して、テストの高価格化を避ける動きも出てきている。

【0004】 従来の試験装置での大きな課題が、アナログ信号をデジタル信号に変換するD、A変換回路と、デジタル信号をアナログ信号に変換するA、D変換回路の試験であり、これらの高精度化に伴い、これらの変換回路を含む半導体集積回路に対する試験装置を如何に低価格で実現するかが課題となっている。

【0005】 一般的なテストの試験環境では、チップ内部の測定装置が、被試験半導体集積回路（DUT）といふまでの非経路には、DUT回路基板（DUTボード）や、ケーブルなどのテストとDUT間接続治具が複数存在し、その測定経路も長いので、ノイズ発生、測定精度低下の原因となり、また複数のDUTを同時に試験するようになると困難である。また、低速テストでは、その速度の相違により、実使用速度での試験が不可能な点、最速試験での試験時間の増大が懸念される。

【0006】 特開平1-316024号公報には、テスト

主回路のD/A変換部からのデータにより指定されたアドレスに変換データを収めるための記憶素子を設け、D/A変換したアドレス信号をA/D変換器に入力し、その出力を記憶素子に順次格納し、前記の記憶素子に対して変換データを記憶素子に格納した変換データを順次アドレスに送り込めるデータの入力データ変換データを順次比較判定するもの（提案されている）。

【00007】また、D/A変換部からの入力データ変換データを記憶する記憶素子に対する前記の制御信号をアドレス信号供給する必要があり、さらに記憶素子の記憶データをアドレスに供給する必要があり、アドレスD/A変換部間の長い測定経路によって、測定精度が低下する恐れがある。またアドレスD/A変換部と記憶素子の両者の複数のD/Aに対して同時測定は困難であり、さらに、変換データをアドレス送る通信に時間がかかる。また試験結果を判定処理を試験が終了後にやるので、試験時間が短縮し困難である。

【00008】

【発明が解決しようとする課題】この発明は、この課題を改善し、高速度でしかも高精度の測定をより安価に実現する半導体集積回路の試験装置を提案するものである。

【00009】またこの発明は高速度でしかも高精度の測定を実現し、併せて複数の半導体集積回路に対する試験を同時に実行することである半導体集積回路の試験装置を提案するものである。

【00010】

【課題を解決するための手段】この発明による半導体集積回路の試験装置は、アナログ信号をデジタル信号に変換するA/D変換回路と、デジタル信号をアナログ信号に変換するD/A変換回路を含む被試験半導体集積回路と信号の取り取りを行うように構成されたテスト回路基板、このテスト回路基板の通路上に配置されそれに接続されたテスト補助装置、および前記テスト補助装置に接続された試験機を備え、前記テスト補助装置は、アナログ試験信号を発生して前記被試験半導体集積回路のD/A変換回路に供給するテスト回路と、このテスト回路からのデジタル試験信号をアナログ試験信号に変換して前記被試験半導体集積回路のA/D変換回路に供給する試験用D/A変換回路と、前記被試験半導体集積回路のD/A変換回路からのアナログ試験出力をデジタル試験出力に変換する試験用A/D変換回路と、前記被試験半導体集積回路のA/D変換回路からのデジタル試験出力と前記試験用A/D変換回路のデジタル試験出力を記憶する測定データメモリと、前記測定データメモリに記憶された前記デジタル試験出力を解析する解析部とを有し、前記試験機が前記指令に基づいて前記デジタル試験信号とアナログ試験信号を被試験半導体集積回路に入力し、前記測定データメモリに記憶された各デジタル試験出力を前記解析部によって解析した解析結果を、前記試験機に

与えるように構成されたものである。

【00011】またこの発明による半導体集積回路の試験装置は、前記半導体集積回路が半導体集積回路モジュールをパッケージ樹脂で覆い、このパッケージ樹脂から複数の端子を導出したモジュール型ICとして構成され、前記テスト回路基板がこのモジュール型ICを装着するソケットを有するものである。

【00012】またこの発明による半導体集積回路の試験装置は、前記半導体集積回路が半導体ユニットを含むパッケージ、前記テスト回路基板には前記半導体集積回路のパッケージを複数枚のチップで形成されたものである。

【00013】またこの発明による半導体集積回路の試験装置は、前記テスト補助装置が前記試験用D/A変換回路と前記試験用A/D変換回路と前記測定データメモリと前記解析回路とを搭載したテスト補助基板を有するものである。

【00014】またこの発明による半導体集積回路の試験装置は、前記テスト補助基板が前記テスト回路基板の上面に配置され、この上面に種入れされているものである。

【00015】またこの発明による半導体集積回路の試験装置は、前記テスト補助基板が前記テスト回路基板に積載されているものである。

【00016】またこの発明による半導体集積回路の試験装置は、前記テスト補助装置が前記テスト回路基板上に直接組付けられているものである。

【00017】またこの発明による半導体集積回路の試験装置は、前記試験用A/D変換回路および前記被試験半導体集積回路のA/D変換回路がデジタル試験出力を出力する毎に進み信号を出力し、これに基づき、前記テスト回路からのデジタル試験信号が進み、また測定データメモリに記憶されるものである。

【00018】さらにこの発明による半導体集積回路の試験装置は、前記被試験半導体集積回路のA/D変換回路がデジタル試験出力を出力する毎に前記試験機が進み信号を出力し、この進み信号に基づき、前記テスト回路からのデジタル試験信号が進み、また測定データメモリに記憶されるものである。

【00019】

【実施の形態】実施の形態1 図1はこの発明による半導体集積回路の試験装置に実施の形態1の構成を示す図であり、(a)図はテスト回路基板（DUTパッケージ）部分の上面図、(b)図はその側面図、(c)図は試験機（テスト）部分の構成図である。

【00020】この実施の形態1の試験装置は、テスト回路基板（DUTパッケージ）10、テスト補助装置（BOS）20、及び試験機（テスト）40を備えている。

【00021】テスト回路基板10は、この実施の形態1では、被試験半導体集積回路（DUT）11として、モジュール型ICを対象とするものである。モジュール型IC

は半導体集積回路（IC）チップをモールド樹脂で覆い、モールド樹脂から複数の端子を導出したものである。このDUT 11のICチップは、例えばランシヤ社の「シグス・ド・シグナル」型（パーム11）であり、1つのチップ内にデジタル信号をアナログ信号に変換するD/A変換器と、アナログ信号をデジタル信号に変換するA/D変換器を含むものである。DUT 11として、一複数のチップを共通の回路基板上に集積した「シグス・ド・シグナル」型の長集積回路（LSC）を用いることも使用することである。

【0022】テスト回路基板10は被試験半導体集積回路（DUT）11の端子を挿入するDUTポート12を有し、その周りに多数の接続端子13（例えば、用いるシグス・ド・シグナルチップ14を配置したものであり、

【0023】テスト回路基板10の上面には、テストポート15が配置されている。このテストポート15は、テスト回路基板10に接続される多数の回路端子16を有し、この回路端子16を介してDUT 11の端子に必要となる信号のやり取りを行う。

【0024】テスト補助装置（BOS）装置20は、テスト回路基板10の下面に配置される。この実施の形態1では、テスト補助装置20はテスト補助基板21（BOSボード）21により構成され、このBOSボード21はDUTポート10の下面に搭載される。DUTポート10の下面には、その各々のポート17が測定されており、BOSボード21はこのポート17に挿入される各テスト端子を下面に有し、この各々のテスト端子17に挿入して、DUTポート10下面に支持され、この各々のポート17を経てテストポート15との信号のやり取りが行われる。

【0025】BOSボード21は、BUILD-OFF-SELF-TESTを略称であり、これはテスト40に依存せず、DUT内部で自己テスト（BUILT-IN-SELF-TEST）を用いたテスト回路を補助するDUT外部試験補助装置が基板であり、ADC/A測定部23、制御部24、DSP解析部25、メモリ部26、電源部27を有している。

【0026】テスト40はテストパターン発生器（TPG）41、電源部42、デジタル・アナログ変換部43を有し、BOSボード21に対して、電源電圧Vccを供給し、BOSボード21との間でBOS制御信号44をやりとりする。この制御信号44には、テスト40からBOSボード21、DUTポート10への指令が含まれていない。BOSボード21からテスト40へのデジタル・解析結果信号が含まれて、テスト40からBOSボード21に出力されるデジタル・解析結果、デジタルデータを含む制御信号44は、テストプログラムの記述されたテスト信号条件に基づき、テスト40に内蔵されたマイクロプロセッサ発生器41により、他のDUT 11のテストと同様に、テストパターン信号として発生させ、複数

の信号入出力ポートを備えたテスト40のピンヘド・マトリクス部43を通じて、BOSボード21、DUTポート10に供給される。また、BOSボード21に供給されるデジタル・解析結果（デジタル・デジタル情報）は、テスト40のデジタル・アナログ変換部43を通じて、デジタル・アナログ変換部43の特定部にて、デジタル・アナログ信号との比較（判定）に基づき、その結果情報を取り出す。

【0027】図2は実施の形態1における電気回路の構成を示すブロック図である。DUT 11は、アナログ信号をデジタル信号に変換するA/D変換回路51と、デジタル信号をアナログ信号に変換するD/A変換回路52を有している。

【0028】BOSボード21は、DUT 11のA/D変換回路51に対してアナログ試験信号を供給する試験用D/A変換回路61と、DUT 11のD/A変換回路52に対してアナログ試験出力をデジタル試験出力に変換する試験用A/D変換回路62を有し、さらにDAC入力ゲート回路（DAC入力ゲート）63、ゲート書き込み制御回路64、測定ゲートメモリ65、メモリ66、メモリ発生回路68、及びDSP解析部69を有する。DSP解析部69はDSPプロセッサROM70を有している。

【0029】試験用D/A変換回路61、試験用A/D変換回路62、DAC入力ゲート回路63、ゲート書き込み制御回路64、測定ゲートメモリ65、メモリ66は、DUT 11のD/A、A/D測定部に含まれており、測定ゲートメモリ66はメモリ部26に、またDSP解析部69はDSP解析部25に含まれている。

【0030】試験用のデジタル試験信号（デジタル・テスト）はDAC入力ゲート回路63に書き込まれており、テスト40からの指令に基づいて、このDAC入力ゲート回路63からのデジタル・テストは、DUT 11のD/A変換回路52とBOSボード21の試験用D/A変換回路61とに供給される。D/A変換回路61に供給されたデジタル試験信号（デジタル・テスト）はアナログ試験信号に変換されて、DUT 11のA/D変換回路51に供給され、このDUT 11のA/D変換回路51でデジタル試験出力に変換され、測定ゲートメモリ66に供給される。また、DAC入力ゲート回路63から直接DUT 11のD/A変換回路52に供給されたデジタル試験信号は、D/A変換回路52でアナログ試験出力に変換され、これがBOSボード21の試験用A/D変換回路62によりデジタル試験出力に変換され、測定ゲートメモリ66に供給される。測定ゲートメモリ66は、これらのDUT 11のA/D変換回路51から供給されてデジタル試験出力と、D/A変換回路52からA/D変換回路62を経て供給されるデジタル試験出力とを、順次決められたアドレスに記憶する。

【0031】DUT11のA/D変換回路51、BOSTポート21のA/D変換回路62は、順次アナログ信号をデジタル信号に変換する。1つのサンプル信号を発生する毎にBUSY信号をそれぞれ出力する。これらのBUSY信号は、主としてBOSTポート21上のデータ書き込み制御回路64に供給される。データ書き込み制御回路64は、供給されたBUSY信号に基づき、DAC出力データ回路63のデジタルデータを書き込み単位毎に次のサンプルデータに順次進める。また測定ゲータスモ66では、DUT11で変換されたアナログ試験出力を記憶するメモリが順に進められ、結果、DUT11では、A/D変換回路51、D/A変換回路52における順次試験に必要な変換が進められ、その変換された測定ゲータスモ66は順次に記憶されていく。以降は、BOSTポート21のDSP解読部69で設定された最終ゲータスモ66に達するまで、変換ゲータスモ66、その結果が測定ゲータスモ66に達して記憶されていく。

【0032】このように、BUSY信号により、DAC出力データ回路63では、DUT11で変換されたアナログデータがゲータスモ66に順に進められ、また測定ゲータスモ66では、DUT11で変換されたアナログ試験出力を記憶するメモリが順に進められ、結果、DUT11では、A/D変換回路51、D/A変換回路52における順次試験に必要な変換が進められ、その変換された測定ゲータスモ66は順次に記憶されていく。以降は、BOSTポート21のDSP解読部69で設定された最終ゲータスモ66に達するまで、変換ゲータスモ66、その結果が測定ゲータスモ66に達して記憶されていく。

【0033】上記DUT11のA/D変換回路51、D/A変換回路52による変換試験の終了後、BOSTポート21上のDSP解読部69はDSPプログラムROM70に記憶されたプログラムを用いて、測定ゲータスモ66に記憶されている変換ゲータスモ66を読み出し、変換特性の解析を行う。この解析は、A/D変換特性、D/A変換特性のゲータスモ66の直線性、積分直線性誤差などの算出を含む。解析結果(Pass/Fail)情報はBOSTポート21上のデータ40に送信され、データ40でデータ結果処理が行われる。

【0034】実施の形態1において、BOSTポート21がDUTポート10の近傍に配置され、DUT11のA/D変換回路51、D/A変換回路52の変換試験を行う機能を備えているので、この変換試験はBOSTポート21で行われることができる。この結果、DUTポート10とBOSTポート21間のゲータスモ66の測定ゲータスモ66を短縮でき、ゲータスモ66による測定誤差の発生を充分に抑制し、高精度の試験を実現でき、併せてDUTポート10とその近傍のBOSTポート21間の信号のロスもに基づき、より高速度で試験を行うことが可能である。BOSTポート21とデータ40との間は、ゲータスモ66の測定ゲータスモ66をなすことができ、試験精度の向上が図られる。またBOSTポート21で必要な変換試験を終了して、データ40にはその結果を送信するので、変換ゲータスモ66をデータ40に送信するものに比べ、試験速度の向上を図ることができる。

【0035】実施の形態1において、DUT11のA/D変換回路51、D/A変換回路52の変換試験機能はBOSTポート21に配置されているので、データ40にはそのための十分な機能を付加する必要はない。このためデータ40の高価格化を防ぎ、従来に低価格のデータを適用することも可能となる。なお、特別な測定機能を持つデータ40を製作する場合、データ40のハードウェア構成は、この機能拡張に対して柔軟があり、主たるコアを容易に改造を伴わないため、開発コストを大幅に削減できる。実施の形態1においては、一般的なゲータスモ66は標準的に整備されているので、ゲータスモ66、発生器、アナログポート10のゲータスモ66を利用することで、各種ゲータスモ66の制御に影響を受けずにBOSTポート21の構成に柔軟が可能である。各種ゲータスモ66の適用が可能となる。

【0036】実施の形態2、図3はこの発明による半導体集積回路の試験装置の実施の形態2のDUT11部分の正面側面図である。この実施の形態2では、実施の形態1のBOSTポート21がDUT11のポート10の上面に積載されている。この実施の形態2は、ゲータスモ66の半導体集積回路がDUT11のポート10のゲータスモ66に挿入される。そのA/D変換器41、D/A変換器42が試験される。

【0037】図3において、DUT11のポート10の右上面には、BOSTポート21が積載される。この積載部分でゲータスモ66の接続が行われており、ゲータスモ66のゲータスモ66間で信号のやり取りが行われる。なお、BOSTポート21の構成は図1と同一であり、回路構成は図2と同一である。

【0038】実施の形態3、図4はこの発明による半導体集積回路の試験装置の実施の形態3のDUT11部分の構成を示す。(a)図はBOSTポート21の上面図、(b)図はBOSTポート21の右側面図、(c)図はDUT11のポート10の上面図、(d)図はそれらの側面図である。この実施の形態3では、ゲータスモ66の半導体集積回路の試験対象(DUT11)として用いられる。DUT11のポート10のゲータスモ66は、図1に構成され、その中心部の上面にゲータスモ66のポート11Aに対する多数のピン30が存在する。このDUT11のポート10の上面には、接続構造物31を設けて、BOSTポート21の2が配置され、このBOSTポート21のゲータスモ66にはゲータスモ663が取り付けられていて、BOST装置20を構成するBOSTポート21Aが図1に構成され、このBOSTポート21A上面には、実施の形態1と同様のA/D変換測定部23、制御部24、ゲータスモ66部26、DSP解読部25、及び電源部27が配置されている。

【0039】実施の形態3の電気回路の構成は、実施の形態1の図1と同一であり、ゲータスモ66のポート11Aのチップ相当部分の多数の端子に接続させて、実施の形態1と同様の試験が行われる。ゲータスモ66のポート11Aのチップ相当部分を順次ずらし、順次隣接するチップ相当部分の

試験を実施する。

【0040】実施の形態4、図5はこの発明による半導体集積回路の試験装置の実施の形態4のDUT部分を示

(a)図は側面図、(b)図は上面図である。この実施の形態4では、実施の形態3に比べて、BOS1チップ20Aが省略され、またBOS1チップ21、7、接続構体16も省略され、BOS1装置20を構成するAD/A変換部21、制御部22、メモリ部24、DSP解析部23、電源部25が、チップ280を持つDUTチップ10Aの面に配置され、必要に応じて接続される。

【0041】この実施の形態4の回路構成は実施の形態1の図1と同じであり、同様にDUT11AのA/D変換回路51、D/A変換回路52の試験が行われる。

【0042】実施の形態2、3、4に比べて、BOS1装置20、またはBOS1チップ21、21AはDUTチップ10、10Aの近傍に配置され、実施の形態1と同様に試験が実施されるので、実施の形態1と同様に、試験の高精度化・高速化、装置の低価格化を図ることができる。

【0043】実施の形態5、図6はこの発明による半導体集積回路の試験装置の実施の形態5の回路構成を示すブロック図である。この実施の形態5では、DUT11のA/D変換回路51がBUSY信号を発生しないタイマで動作し、このため、チップ40からの入力信号74が供給され、データ回路63がデジタル単位に進め動作し、測定ゲータメモリ66のゲート信号を進め動作が行われる。なお、BOS1チップのA/D変換回路62はBUSY信号を発生するように構成できるので、このBUSY信号はチップ信号74と共用できる。その他の構成は、図2と同一である。

【0044】この実施の形態5においては、チップ40からのBOS1装置20に送信されるチップ信号74はデジタル信号であり、チップ40とBOS1装置20の間には、アナログ影響を受けやすいアナログ信号系を追加するものではなく、実施の形態1と同様に、試験の高精度化・高速化を図ることができる。

【0045】

【発明の効果】以上のようにこの発明は、チップ回路基板の近傍に配置されたチップ補助装置に、データ回路、試験用D/A変換回路、試験用A/D変換回路、測定ゲータメモリ、およびDSP解析部を設け、このチップ補助装置により、被試験半導体集積回路のA/D変換回路およびD/A変換回路の試験を行うようにしたものであり、A/D変換回路、D/A変換回路を含んだチップ・ボード・システム全体の半導体集積回路の試験を、高精度に・高速に行うことができ、併せて試験装置の低価格化を図ることができる。

【0046】またチップ回路基板にモールドタイプを装着

するモールドを装備したもので、モールドタイプの半導体集積回路のA/D変換回路、D/A変換回路の試験を容易に行うことができ、またモールドを装備したチップ回路基板を用いれば、やはり、状態で同様の試験を容易に行うことができる。

【0047】またチップ補助装置が、データ回路、試験用D/A変換回路、試験用A/D変換回路、測定ゲータメモリとDSP解析部を搭載したチップ補助基板を有するものでは、チップ補助装置がチップ補助基板上に集中して構成して装置を簡便化を図ることができ、またそのチップ補助基板、チップ回路基板の間に挿入されるものは、その組み立てを簡便化でき、またそのチップ補助基板をチップ回路基板に搭載すれば、装置をより簡便化できる。

【0048】またチップ補助装置をチップ回路基板上に直接組み立てるものでは、装置の構成を一層簡便化できる。

【0049】また試験用A/D変換回路51は、被試験半導体集積回路のA/D変換回路から進め信号を発生するもの、試験機から進め信号を発生するものでは、進め信号は、試験機から試験信号を進め、また測定ゲータメモリでゲート信号を進めながら効果的な試験を行うことができる。

【図面の簡単な説明】

【図1】 この発明による半導体集積回路の試験装置の実施の形態1を示し、(a)図はDUT部分の上面図、

(b)図はその側面図、(c)図は試験機の構成図。

【図2】 実施の形態1の回路構成を示すブロック図。

【図3】 この発明による半導体集積回路の試験装置の実施の形態2のDUT部分の側面図。

【図4】 この発明による半導体集積回路の試験装置の実施の形態3を示し、(a)図はBOS1チップの上面図、(b)図はBOS1チップの側面図、(c)図はDUTチップの上面図、(d)図はそれらの側面図。

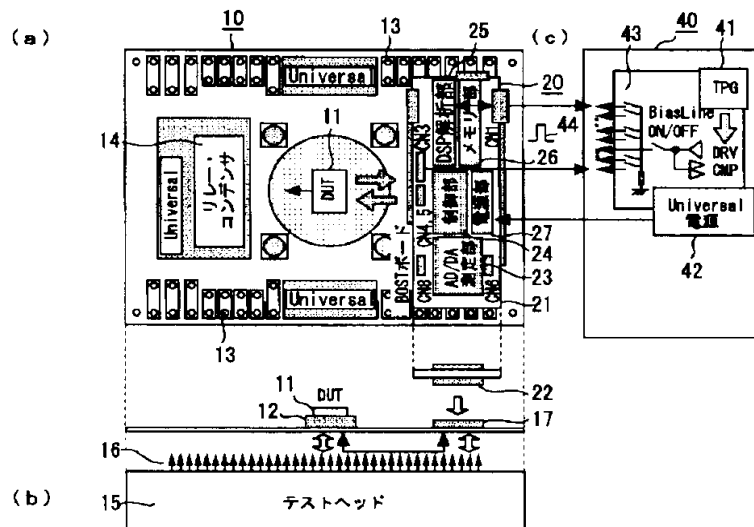
【図5】 この発明による半導体集積回路の試験装置の実施の形態4のDUT部分を示し、(a)図はその側面図、(b)図は上面図。

【図6】 この発明による半導体集積回路の試験装置の実施の形態5の回路構成を示すブロック図。

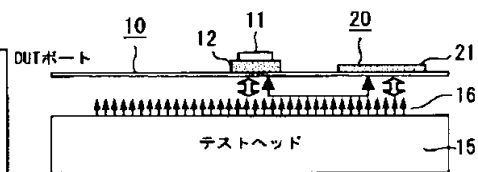
【符号の説明】

10 10A チップ回路基板、DUTチップ
11 11A 被試験半導体集積回路 (DUT)
20 20A チップ補助装置 (BOS1装置)
21 21A チップ補助基板 (BOS1チップ)
40 試験機 (システム)
51 被試験半導体集積回路のA/D変換回路
52 被試験半導体集積回路のD/A変換回路
61 試験用D/A変換回路
62 試験用A/D変換回路
63 データ回路
66 測定ゲータメモリ
69 DSP解析部。

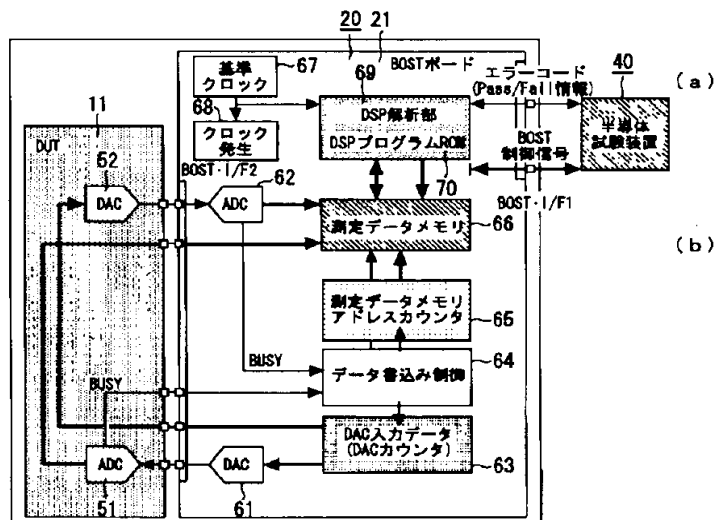
【図1】



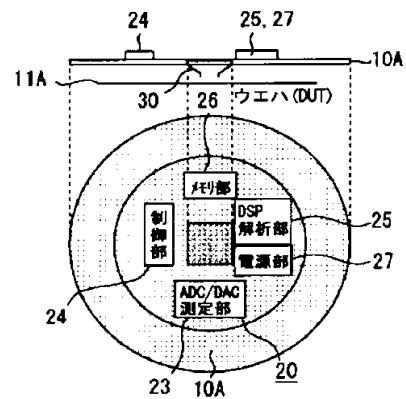
【図3】



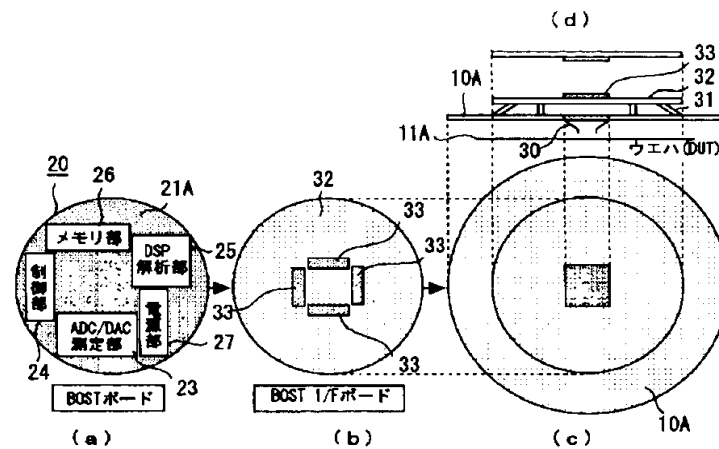
【図2】



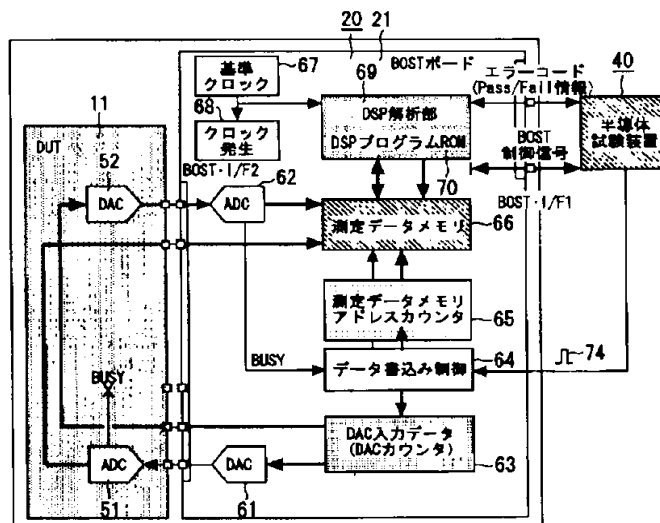
【図5】



【図4】



【図6】



【手続補正書】

【提出日】平成13年4月3日(2001. 4. 3)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】全文

【補正方法】変更

【補正内容】

【書類名】明細書

【発明の名称】半導体集積回路の試験装置および半導体集積回路の試験方法

【特許請求の範囲】

【請求項1】 アナログ信号とデジタル信号に変換する

A/D変換回路とデジタル信号をアナログ信号に変換するD/A変換回路を含む被試験半導体集積回路と信号のやり取りを行うように構成されたテスト回路基板、このテスト回路基板の直傍に配置されそれに接続されたテスト補助装置。前記テスト補助装置に接続された試験機を備える。前記テスト補助装置は、デジタル試験信号を発生して前記被試験半導体集積回路のD/A変換回路に供給するデータ回路と、このデータ回路からのデジタル試験信号をアナログ試験信号に変換して前記被試験半導体集積回路のA/D変換回路に供給する試験用D/A変換回路と、前記被試験半導体集積回路のD/A変換

回路のアナログ試験出力をデジタル試験出力に変換する試験用A/D変換回路と、前記被試験半導体集積回路のA/D変換回路からのデジタル試験出力と前記試験用A/D変換回路のデジタル試験出力を記憶する測定ゲートメモリと、前記測定ゲートメモリに記憶された前記各デジタル試験出力を解析する解析部とを有し、前記試験機が、この構成に基づいて前記デジタル試験信号、前記デジタル試験信号を被試験半導体集積回路に入力し、前記測定ゲートメモリに記憶された各デジタル試験出力を前記解析部により解析した解析結果を、前記試験機に力するよう構成された半導体集積回路の試験装置。

【請求項2】 前記半導体集積回路が半導体集積回路チップを、エポキシ樹脂で覆ったシリコン樹脂から複数の端子を導出したモールド型上に、て構成され、前記デジタル回路基板のこのシリコン型上に装着するゲートとを有する請求項1記載の半導体集積回路の試験装置。

【請求項3】 前記半導体集積回路が半導体チップを含むエポキシ樹脂で覆ったシリコン樹脂から複数の端子を導出したモールド型上に、て構成され、前記デジタル回路基板のこのシリコン型上に装着するゲートとを有する請求項1記載の半導体集積回路の試験装置。

【請求項4】 前記ゲート補助装置が前記試験用D/A変換回路と前記試験用A/D変換回路と前記測定ゲートメモリと前記解析回路とを搭載したゲート補助基板を有して、請求項1記載の半導体集積回路の試験装置。

【請求項5】 前記ゲート補助基板が前記ゲート回路基板のこのシリコン上に挿入されるようになされた請求項4記載の半導体集積回路の試験装置。

【請求項6】 前記ゲート補助基板が前記ゲート回路基板に積載されている請求項4記載の半導体集積回路の試験装置。

【請求項7】 前記ゲート補助装置が前記ゲート回路基板に直接組付けられている請求項1、2または3記載の半導体集積回路の試験装置。

【請求項8】 前記試験用A/D変換回路と前記被試験半導体集積回路のA/D変換回路からのデジタル試験出力を出力する毎に進み信号を出力し、これに基づき、前記ゲート回路からのデジタル試験信号が進み、また測定ゲートメモリのアナログに進められる請求項1記載の半導体集積回路の試験装置。

【請求項9】 前記被試験半導体集積回路のA/D変換回路がデジタル試験出力を出力する毎に前記試験機に進み信号を出力し、この進み信号に基づき、前記ゲート回路からのデジタル試験信号が進み、また測定ゲートメモリのアナログに進められる請求項1記載の半導体集積回路の試験装置。

【請求項10】 デジタル信号をアナログ信号に変換するA/D変換回路と、アナログ信号をデジタル信号に変換するD/A変換回路を有する被試験半導体集積回路を試験する半導体集積回路の試験方法であって、前記被試験半導体集積回路と信号のやり取りを行うゲート回路基板

の近傍に、デジタル試験信号を発生して前記被試験半導体集積回路のD/A変換回路に供給するゲート回路と、

このゲート回路からのデジタル試験信号をアナログ試験信号に変換して前記被試験半導体集積回路のA/D変換回路に供給する試験用D/A変換回路と、前記被試験半導体集積回路のD/A変換回路からのデジタル試験出力をデジタル試験出力に変換する試験用A/D変換回路と、前記被試験半導体集積回路のA/D変換回路からのデジタル試験出力を記憶する測定ゲートメモリと、前記測定ゲートメモリに記憶された前記各デジタル試験出力を解析する解析部とを有するゲート補助装置を配置し、試験機がこの指示に基づいて前記デジタル試験信号、前記デジタル試験信号を前記被試験半導体集積回路に入力し、前記測定ゲートメモリに記憶された各デジタル試験出力を前記解析部により解析した解析結果を、前記試験機に力するよう前記被試験半導体集積回路の試験を行う半導体集積回路の試験方法。

【請求項11】 前記被試験半導体集積回路が半導体集積回路チップを、エポキシ樹脂で覆ったシリコン樹脂から複数の端子を導出したモールド型上に、て構成され、前記デジタル回路基板のこのシリコン上に装着され、試験を行う請求項10記載の半導体集積回路の試験方法。

【請求項12】 前記被試験半導体集積回路が半導体チップに含まれており、前記ゲート回路基板に設けられた複数の端子と、前記被試験半導体集積回路のこの端子とで試験を行う請求項10記載の半導体集積回路の試験方法。

【請求項13】 前記ゲート補助装置が前記試験用D/A変換回路と前記試験用A/D変換回路と前記測定ゲートメモリと前記解析回路とを搭載したゲート補助基板を有し、このゲート補助基板を前記ゲート回路基板の近傍に配置して試験を行う請求項10記載の半導体集積回路の試験方法。

【請求項14】 前記ゲート補助基板が前記ゲート回路基板のこのシリコン上に挿入されて試験を行う請求項10記載の半導体集積回路の試験方法。

【請求項15】 前記ゲート補助基板が前記ゲート回路基板に積載されて試験を行う請求項10記載の半導体集積回路の試験方法。

【請求項16】 前記ゲート補助装置が前記ゲート回路基板に直接組付けられて試験を行う請求項10、11、12または13記載の半導体集積回路の試験方法。

【請求項17】 前記試験用A/D変換回路と前記被試験半導体集積回路のA/D変換回路からのデジタル試験出力を出力する毎に進み信号を出力し、これに基づき、前記ゲート回路からのデジタル試験信号が進み、また測定ゲートメモリのアナログに進められて試験を行う請求項10記載の半導体集積回路の試験方法。

【請求項18】 前記被試験半導体集積回路のA/D変換回路がデジタル試験出力を出力する毎に前記試験機に測定信号を出力し、この測定信号に基づき、前記データ出力を出力するテスト試験信号を進み、また測定データ、この測定信号を基に進むための試験信号を前記項目10記載の半導体集積回路に試験する。

【発明の効果】

【0001】

【産業上の利用分野】 この発明は、半導体集積回路の試験装置および半導体集積回路の試験方法、特にアナログ信号をデジタル信号に変換するA/D変換回路と、デジタル信号をアナログ信号に変換するD/A変換回路を含む、半導体集積回路試験装置および試験方法に関するものである。

【0002】

【従来の技術】 この半導体集積回路の試験装置は、アナログ信号とデジタル信号とを相互に変換する複数の回路を有する回路を構成されている。この半導体集積回路（以下、単に「S/I」と）または複数の回路のそれぞれが、アナログ信号とデジタル信号とを相互に変換する回路（以下、単に「S/I」と）を有し、この回路を構成する。このS/Iにおいて、高性能、高精度のアナログ回路とデジタル回路を組み合わせた混合化（アナログ・デジタル・混合化）が急速に進んでおり、これらが半導体集積回路に対する試験装置において、この混合化の状況が進み、試験装置（ワークステーション）が、アナログ・デジタル・混合化半導体集積回路に適合するデータを提供している。

【0003】 しかし、このアナログ・デジタル・混合化半導体集積回路に対するデータはその高性能仕様に対応するため、装置が高価格化する傾向にあり、そのような状況のため、既存の低速・低精度の、例えば、アナログ・S/Iなどを用いたシステムを再利用して、システムの高価格化を避けようとして出ている。

【0004】 従来の試験装置での大きな課題は、アナログ信号をデジタル信号に変換するD/A変換回路と、デジタル信号をアナログ信号に変換するA/D変換回路の試験であり、これらの高精度化において、これらの変換回路を含む半導体集積回路に対する試験装置を如何に低価格で実現するかが課題となっている。

【0005】 一般的なデータの試験環境では、システム内部の測定装置から被試験半導体集積回路（DUTといふ）までの測定経路には、DUT回路基板（DUTカーダ）、ケーブルなどのロスやDUT間接続合共有雑音が存在し、その測定経路が長いと、ノイズが発生、測定精度低下の原因となり、また複数のDUTを同時に試験するも、これも困難である。また、低速システムでは、その速度の遅さから、使用速度での試験が不可能な点、量産試験での試験時間の増大が懸念される。

【0006】 特開第1-316024号公報には、データ回路のD/A変換部への入力データにより指定された

アドレスに変換データを収納するための記憶素子と、このD/A変換したアドレス信号をA/D変換器に出力し、この出力を記憶素子に順次格納し、全てのデータに対して変換データを格納する記憶素子に格納した変換データを順次データバスに送込み、データ出力部から変換データを順次比較判定するものが提案されている。

【0007】 このD/A変換部（出力部）から変換データを記憶する記憶素子に対するアドレス制御信号をデータバスに供給する必要があり、この記憶素子の記憶データをデータバスに供給する必要がある。データとDUTとの間の長い測定経路のため、データバスに、測定精度の低下が懸念される。また、データバスに、データバス数の共有から複数のDUTに対して同時測定は困難である。さらに、変換データをデータバスに送る通信に時間が掛かり、また試験結果を判定処理に試験データに付随する試験時間の短縮も困難である。

【0008】

【発明が解決しようとする課題】 この発明は、この課題を改善し、高速度でしかも高精度で測定する変換を実現する半導体集積回路試験装置および試験方法を提案するものである。

【0009】 またこの発明は高速度でしかも高精度の測定を実現し、併せて複数の半導体集積回路に対する試験を同時に実行できるようにする半導体集積回路の試験装置および試験方法を提案するものである。

【0010】

【課題を解決するための手段】 この発明による半導体集積回路の試験装置は、アナログ信号をデジタル信号に変換するA/D変換回路と、デジタル信号をアナログ信号に変換するD/A変換回路を含む被試験半導体集積回路（信号の取り取り）を有する回路基板、この回路基板の直下に配置されそれに接続されたデータ補助装置、および前記データ補助装置に接続された試験機を備え、前記データ補助装置は、アナログ試験信号を発生して前記被試験半導体集積回路のD/A変換回路に供給するデータ回路と、このデータ回路からのアナログ試験信号をデジタル試験信号に変換して前記被試験半導体集積回路のA/D変換回路に供給する試験用D/A変換回路と、前記被試験半導体集積回路のD/A変換回路からのデジタル試験出力をデジタル試験出力に変換する試験用A/D変換回路と、前記被試験半導体集積回路のA/D変換回路からのデジタル試験出力を前記試験用A/D変換回路のデジタル試験出力を記憶する測定データメモリ、前記測定データメモリに記憶された前記デジタル試験出力を解析する解析部とを有し、前記試験機からの指示に基づいて前記デジタル試験信号をアナログ試験信号を被試験半導体集積回路に入れ、前記測定データメモリに記憶された各デジタル試験出力を前記解析部によって解析した解析結果を、前記試験機に伝えるように構成されたものである。

【0011】またこの発明による半導体集積回路の試験装置は、前記半導体集積回路が半導体集積回路チップがエポキシ樹脂で覆われたモールド樹脂から複数の端子を導出したモールド型工に設けられ、前記チップは回路基板（このモールド型工）を装着するケースを有するものである。

【0012】またこの発明による半導体集積回路の試験装置は、前記半導体集積回路が半導体チップに設けられ、前記チップ回路基板には前記半導体集積回路のチップと複数の端子とが設けられ、前記チップは回路基板（このモールド型工）を装着するケースを有するものである。

【0013】またこの発明による半導体集積回路の試験装置は、前記チップ補助装置（前記試験用D/A変換回路と前記試験用A/D変換回路と前記測定デコーダと、前記解析回路とを搭載したチップ補助基板を有するものである。

【0014】またこの発明による半導体集積回路の試験装置は、前記チップ補助基板（前記チップ回路基板）のチップに挿入されて試験を行うものである。

【0015】またこの発明による半導体集積回路の試験装置は、前記チップ補助基板（前記チップ回路基板）に積載されて試験を行うものである。

【0016】またこの発明による半導体集積回路の試験装置は、前記チップ補助装置（前記チップ回路基板）に直接組付けられて試験を行う。

【0017】またこの発明による半導体集積回路の試験装置は、前記試験用A/D変換回路および前記被試験半導体集積回路のA/D変換回路がデジタル試験出力を出力する毎に進め信号を出力し、これに基づき、前記デコーダ回路からのデジタル試験信号が進み、また測定デコーダのデコーダに進められるものである。

【0018】さらにこの発明による半導体集積回路の試験装置は、前記被試験半導体集積回路のA/D変換回路がデジタル試験出力を出力する毎、前記試験機の進め信号を出力し、この進め信号に基づき、前記デコーダ回路からのデジタル試験信号が進み、また測定デコーダのデコーダに進められるものである。

【0019】またこの発明による半導体集積回路の試験方法は、アナログ信号をデジタル信号に変換するA/D変換回路とデジタル信号をアナログ信号に変換するD/A変換回路を含む被試験半導体集積回路を試験する半導体集積回路の試験方法として、前記被試験半導体集積回路と信号のやり取りを行うチップ回路基板の近傍に、デジタル試験信号を発生して前記被試験半導体集積回路のD/A変換回路に供給するデコーダ回路と、このデコーダ回路からのデジタル試験信号をアナログ試験信号に変換して前記被試験半導体集積回路のA/D変換回路に供給する試験用D/A変換回路と、前記被試験半導体集積回路のD/A変換回路のアナログ試験出力をデジタル試験出力に変換する試験用A/D変換回路と、前記被試験半導体集積回路のA/D変換回路からのデジタル試験

出力と前記試験用A/D変換回路のデジタル試験出力を記憶する測定デコーダメモリと、前記測定デコーダメモリに記憶された前記各デジタル試験出力を解析する解析部とを有するテスト補助装置を配置し、試験機からの指令に基づいて前記デジタル試験信号と前記アナログ試験信号を前記被試験半導体集積回路に与え、前記測定デコーダメモリに記憶された各デジタル試験出力を前記解析部に与えて解析した解析結果を、前記試験機に与えて前記被試験半導体集積回路の試験を行う。

【0020】また、この発明による半導体集積回路の試験方法は、前記被試験半導体集積回路が半導体集積回路チップがエポキシ樹脂で覆われたモールド樹脂から複数の端子を導出したモールド型工に設けられ、前記チップは回路基板（このモールド型工）を装着するケースを有するものである。

【0021】また、この発明による半導体集積回路の試験方法は、前記被試験半導体集積回路が半導体チップに設けられ、前記チップ回路基板に設けられ複数の端子とが設けられ、前記被試験半導体集積回路のチップは回路基板（このモールド型工）を装着するケースを有するものである。

【0022】また、この発明による半導体集積回路の試験方法は、前記チップ補助装置（前記試験用D/A変換回路と前記試験用A/D変換回路と前記測定デコーダと、前記解析回路とを搭載したチップ補助基板を有するチップ補助基板を前記チップ回路基板の近傍に配置して試験を行う。

【0023】また、この発明による半導体集積回路の試験方法は、前記チップ補助基板（前記チップ回路基板）のチップに挿入されて試験を行う。

【0024】また、この発明による半導体集積回路の試験方法は、前記チップ補助基板（前記チップ回路基板）に積載されて試験を行う。

【0025】また、この発明による半導体集積回路の試験方法は、前記チップ補助装置（前記チップ回路基板）に直接組付けられて試験を行う。

【0026】また、この発明による半導体集積回路の試験方法は、前記試験用A/D変換回路および前記被試験半導体集積回路のA/D変換回路がデジタル試験出力を出力する毎に進め信号を出力し、これに基づき、前記デコーダ回路からのデジタル試験信号が進み、また測定デコーダのデコーダに進められて試験を行う。

【0027】さらにまた、この発明による半導体集積回路の試験方法は、前記被試験半導体集積回路のA/D変換回路がデジタル試験出力を出力する毎に前記試験機の進め信号を出力し、この進め信号に基づき、前記デコーダ回路からのデジタル試験信号が進み、また測定デコーダのデコーダに進められて試験を行う。

【0028】

【実施の形態】実施の形態1、図1はこの発明による半導体集積回路の試験装置とそれを使用した試験方法の集

施の形態1の構成を示す図である。(a)図はテスト回路基板(DUTボード)部分の前面図、(b)図はその側面図、(c)図は試験機(システム)部分の構成図である。

【0029】この実施の形態1の試験装置は、テスト回路基板(DUTボード)10、テスト補助装置(BOST装置)20、及び試験機(システム)40を備えている。

【0030】テスト回路基板10は、この実施の形態1では、被試験半導体集積回路(DUT)11と、この被試験11を対象とするものである。例えば、型10は半導体集積回路(IC)チップをエポキシ樹脂で覆ったチップ上樹脂の複数の端子を導出したものである。このDUT11のピンは、例えば、チップ・コネクタ、ピン・コネクタ型、ミッド・LSIである。このチップ内にアナログ信号をデジタル信号に変換するD/A変換器と、デジタル信号をアナログ信号に変換するA/D変換器を内蔵しており、DUT11としては、複数のアナログ共通の回路基板に集積されたチップ・コネクタ型チップ型の混成集積回路(ハイブリッドIC)も使用することができ、

【0031】テスト回路基板10は被試験半導体集積回路(DUT)11の端子を挿入するDUTコネクタ12を有し、その周りに多数の接続端子13と、テスト用チップ・コネクタ群14を配置したものである。

【0032】テスト回路基板10の上面には、テストコネクタ15が配置されている。このテストコネクタ15は、テスト回路基板10に接続される多数の接続端子16を有し、この接続端子16を介してDUT11のテストに必要な信号のやり取りを行う。

【0033】テスト補助装置(BOST装置)20はテスト回路基板10の近傍に配置される。この実施の形態1では、テスト補助装置20は、補助基板21(BOSTボード)21上に構成され、このBOSTボード21はDUTボード10の上面に搭載される。DUTボード10の上面には、そのためのテスト17が固定されており、BOSTボード21はこのテスト17に挿入されるテスト22と上面に有し、このテスト22をテスト17に挿入して、DUTボード10上に実装され、このテスト17を経てテスト15に与える信号のやり取りが行われる。

【0034】BOSTボード21は、BUILD-IN-SELF-TESTの略称であり、これはテスト40に依存せず、DUT内部で自己テスト(BUILT-IN-SELF-TEST)を担った回路を補助するDUT外部試験補助装置の基板であり、A/D変換部23、制御部24、DSP解析部25、メモリー部26、電源部27を有している。

【0035】テスト40はデジタル信号発生器(TPG)41、電源部42、ピコエンジェロモジュール43を

有し、BOSTボード21に対して、電源電圧Vdを供給し、BOSTボード21との間でBOST制御信号44をやり取りする。この制御信号44には、テスト40からBOSTボード21、DUTボード10への指令信号などがあり、BOSTボード21からテスト40へのアナログ解析結果信号も含まれて、テスト40は、BOSTボード21に与えられるアナログ解析結果信号を含む制御信号44は、テスト40が与える記憶されたアナログ信号条件に基づき、テスト40に内蔵されたアナログ信号発生器41により、他のDUT11のテストと同様に、テスト用アナログ信号として発生させ、複数の端子から出力する。備えたテスト40のデジタル・アナログ部43を通じて、BOSTボード21、DUTボード10に供給される。一方、BOSTボード21は、与えられるアナログ解析結果(Pass/Fail)情報は、テスト40のデジタル・アナログ部43に送られ、この部43は、アナログ部43の判定部にて、アナログ部43の信号との比較判定に基づき、その結果情報を返す(図2)。

【0036】図2は実施の形態1における電気回路の構成を示すブロック図である。DUT11は、アナログ信号をデジタル信号に変換するA/D変換回路51と、デジタル信号をアナログ信号に変換するD/A変換回路52を備えている。

【0037】BOSTボード21は、DUT11のA/D変換回路51に対してアナログ試験信号を供給する試験用D/A変換回路61と、DUT11のD/A変換回路52から与えられる試験出力をアナログ試験出力に変換する試験用A/D変換回路62を有し、さらにDAC入力ポート回路(DAC入力ポート)63、データ書き込み制御回路64、測定用アナログ入力ポート回路65、測定用アナログ出力ポート回路66、基準電圧発生回路67、アナログ発生回路68、及びDSP解析部69を有する。DSP解析部69はDSPプロセッサROM70を有している。

【0038】試験用D/A変換回路61、試験用A/D変換回路62、DAC入力ポート回路63、データ書き込み制御回路64、測定用アナログ入力ポート回路65は、[4]のD/A-A/D測定部23に含まれており、測定用アナログ出力ポート回路66は、またDSP解析部69はDSP解析部25に含まれている。

【0039】試験用のアナログ試験信号(アナログ信号)はDAC入力ポート回路63に与えられており、テスト40からの指令に基づいて、このDAC入力ポート回路63からアナログ信号として、DUT11のD/A変換回路52とBOSTボード21の試験用D/A変換回路61に供給される。D/A変換回路61に供給されたアナログ試験信号(テストポート)はアナログ試験信号に変換されて、DUT11のA/D変換回路51に供給され、このDUT11のA/D変換回路51でデジタル

ル試験出力に変換され、測定ゲータメモリ6に供給される。一方、DAC入力ゲータ回路63から直接DUT11のD/A変換回路52に供給されたデジタル試験信号は、D/A変換回路52からのデジタル試験出力に変換され、これにBOSTボード21の試験用A/D変換回路62により、デジタル試験出力に変換され、測定ゲータメモリ6に供給される。測定ゲータメモリ6には、これらDUT11のA/D変換回路51から供給されるデジタル試験出力と、D/A変換回路52からA/D変換回路62を経て供給されるデジタル試験出力とを、順次読み出しながら記憶する。

【0040】DUT11のA/D変換回路51、BOSTボード21のA/D変換回路62は、順次にデジタル信号をアナログ信号に変換するが、1つのデジタル信号を発生する毎にBUSY信号を出力する出力装置。これら2つのBUSY信号は、一方はBOSTボード21の制御書き込み制御回路64に供給され、制御書き込み制御回路64は、供給されたBUSY信号に基づき、DAC入力ゲータ回路63のデジタルゲータをデジタル単位毎に増減してデジタルゲータを順次進め、また測定ゲータメモリ6に記憶されたデータを、必要に応じては、測定ゲータメモリ6の内容を、データを順次進めるとともに利用する。

【0041】このように、BUSY信号により、DAC入力ゲータ回路63では、DUT11で変換されるデジタルデータのゲータを順次進められ、また測定ゲータメモリ6では、DUT11で変換されたデジタル試験出力を記憶するゲータが順次進められる結果、DUT11では、A/D変換回路51、D/A変換回路52において1回の試験に必要な変換が進められ、その変換された測定ゲータが測定ゲータメモリ6に順次記憶されている。以降は、BOSTボード21のDSP制御部60で設定された最終ゲータにならなまで、変換ゲータが進められ、その結果が測定ゲータメモリ6にすべて記憶される。

【0042】上記DUT11のA/D変換回路51、D/A変換回路52による変換試験の終了後、BOSTボード21上のDSP制御部60はDSPプログラムROM70に記憶されたプログラムを用いて、測定ゲータメモリ6に記憶されている変換ゲータを読み出し、変換特性の解析を行う。この解析は、A/D変換特性、ゲータ、D/A変換特性のゲータ、微分直線性、積分直線性誤差などの算出を含み、解析結果（データ・レポート）情報）がBOSTボード21上のディスプレイ40に送信され、ディスプレイ40でその結果処理が行われる。

【0043】実施の形態1において、BOSTボード21のDUTボード10の近傍に配置され、DUT11のA/D変換回路51、D/A変換回路52の変換試験を行う機能を備えているので、この変換試験はBOSTボード21上で実行することができる。この結果、DUT

ボード10とBOSTボード21間のアナログ測定ケーブルを短縮でき、ケーブルによる測定誤差の発生を充分に抑制し、高精度の試験を実現でき、併せてDUTボード10とその近傍のBOSTボード21間の信号の取り回しに基づき、1、高速度で試験を行うこともできる。BOSTボード21とディスプレイ40の間は、アナログ測定ケーブルを必要とするが、このA/D試験精度の向上に資する。またBOSTボード21で、必要な変換試験を終了して、ディスプレイ40にはその結果を送信するので、変換ゲータをディスプレイ40に送信するものならば、試験速度が向上するようになる。

【0044】実施の形態1において、DUT11のA/D変換回路51、D/A変換回路52の変換試験機能をBOSTボード21上に配置されるので、ディスプレイ40にはそのための大きな機能を追加する必要はない。このディスプレイ40の画面構成を例え、従来の従来のシステムを適用することも可能となる。なお、特別な測定機能をディスプレイ40で製作する場合、ディスプレイ40の画面構成により機能拡張が容易に実現される。またディスプレイ40の改造を供与するため、開発ツールを準備しておかれる。実施の形態1によれば、一般的なシステムを標準的に装備されているディスプレイ40の発生器・増幅器・ADコンバータ等を利用して、各種システムを、簡単に構築を受けられBOSTボードで構成、製造が可能であり、各種システムの適用が可能となる。

【0045】実施の形態2、図3はこの発明による半導体集積回路の試験装置とそれを使用した試験方法の実施の形態2のDUT部分の正面側面図である。この実施の形態2では、実施の形態1のBOSTボード21のDUTボード10の上面に積載されている。この実施の形態2は、半導体集積回路がDUTボード10上のディスプレイ40に挿入され、そのA/D変換器41とD/A変換器42が試験される。

【0046】図3において、DUTボード10の右上面には、BOSTボード21が積載され、この積載部分で両ボード間の接続が行われており、ディスプレイ40との間で信号のやり取りが行われる。なお、BOSTボード21の内部構成は図1と同じであり、回路構成は図2と同じである。

【0047】実施の形態3、図4はこの発明による半導体集積回路の試験装置とそれを使用した試験方法の実施の形態3のDUT部分の構成を示す。図4はBOSTボード21の上面、図5はBOSTボード21の下面、図6はDUTボード10の上面、図7はDUTボード10の下面図である。この実施の形態3では、半導体集積回路の試験対象（DUT）として用いられ、DUTボード10のA/Dコンバータボードであり、円形に構成され、その中心部の上面にウェル11Aに対する多数のブロー30を有する。このDUTボード10のAの上には、接続構体31を介して、B

BOST-1Fボード32が配置され、このBOST-1Fボード32上にはコネクタ33が取り付けられている。BOST装置20を構成するBOSTボード21Aも同様に構成され、このBOSTボード21A上面には、実施の形態1と同様のAD/D/A測定部23、制御部24、メモリ部26、DSP解析部25、及び電源部27が配置されている。

【0048】実施の形態3の電気回路の構成は、実施の形態1の図2と同じであり、この場合、図2中の11Aのチップの相当部分の多数の端子は接触させて、実施の形態1と同様の試験が行われる。なお、11Aのチップの相当部分の直接して、図2の隣接するチップの相当部分の試験を実施する。

【0049】実施の形態4、図5はこの発明による半導体集積回路の試験装置とされる使用した試験方法の実施の形態4のDUT部分の上面図。(a)図は側面図。

(b)図は上面図である。この実施の形態4では、実施の形態3に比べて、BOSTボード20Aを省略された。またBOST-1Fボード17、接続構体16も省略され、BOST装置20を構成するAD/D/A測定部21、制御部22、メモリ部24、DSP解析部23、電源部25を含む。プロセッサ0を持たないDUTボード10A上面に配置され、必要な接続が行われる。

【0050】この実施の形態4の回路構成は実施の形態1の図2と同じであり、同様にしてDUT11AのA/D変換回路51、D/A変換回路52の試験が行われる。

【0051】実施の形態2、3、4においても、BOST装置20、またはBOSTボード21、21AはDUTボード10、10Aの近傍に配置され、実施の形態1と同様に試験が実施されるので、実施の形態1と同様に、試験の高精度化、高速化、装置の低価格化を図ることができる。

【0052】実施の形態5、図6はこの発明による半導体集積回路の試験装置とされる使用した試験方法の実施の形態5の回路構成を例示した図である。この実施の形態5では、DUT11AのA/D変換回路51がBUSY信号を発生しないタイプであり、このため、図240から11Aの信号74が供給され、データ回路53のデマルチプレクサで進める動作と、測定デマルチプレクサで11Aを進める動作を行わせる。なお、BOSTボードのA/D変換回路52はBUSY信号を発生するように構成されるので、このBUSY信号は11Aの信号74と併用して、その他の構成は、図2と同じである。

【0053】この実施の形態5においても、図240からBOST装置20へと与えられる信号74はデジタル信号であり、図240とBOST装置20との間には、図2の影響を受けやすいアナログ信号を追加するものではない。実施の形態1と同様に、試験の高精度化、高速化を図ることができる。

【0054】

【発明の効果】以上のようにこの発明は、テスト回路基板の近傍に配置されたテスト補助装置に、データ回路、試験用D/A変換回路、試験用A/D変換回路、測定デマルチプレクサ、およびDSP解析部を設け、このテスト補助装置により、被試験半導体集積回路のA/D変換回路およびD/A変換回路の試験を行うようにしたものであり、A/D変換回路、D/A変換回路を含むデマルチプレクサが半導体集積回路の試験を、高精度に、高速に行うことができ、A/D変換試験装置の低価格化を図ることができる。

【0055】またテスト回路基板にテストボードを装着するテストを装備したものは、テストボードの半導体集積回路のA/D変換回路、D/A変換回路の試験を容易に行うことができ、またテストボードを装備したテスト回路基板を用いることは、前述と同様の試験を容易に行うことができる。

【0056】またテスト補助装置がデータ回路、試験用D/A変換回路、試験用A/D変換回路と測定デマルチプレクサとDSP解析部を搭載したテスト補助基板を有する場合は、テスト補助装置をテスト補助基板に集中して構成して装置の簡便化を図ることができ、またそのテスト補助基板がテスト回路基板のすぐ上に挿入されるものではその組立作業を簡便化でき、またそのテスト補助基板をテスト回路基板に積載すれば、装置をより簡便化できる。

【0057】またテスト補助装置がテスト回路基板上に直接組み付けられる場合は、装置の構成をより簡便化できる。

【0058】また試験用A/D変換回路および被試験半導体集積回路のA/D変換回路から進め信号を発生するもの、試験機から進め信号を発生するものでは、進め信号は同一でデマルチプレクサ試験信号を進め、また測定デマルチプレクサのデマルチプレクサを進め、より効果的な試験を行うことができる。

【図面の簡単な説明】

【図1】 この発明による半導体集積回路の試験装置とされる使用した試験方法の実施の形態1を例示した図。(a)図はDUT部分の上面図。(b)図はその側面図。

(c)図は試験機の構成図。

【図2】 実施の形態1の回路構成を示すブロック図。

【図3】 この発明による半導体集積回路の試験装置の実施の形態2のDUT部分の側面図。

【図4】 この発明による半導体集積回路の試験装置とされる使用した試験方法の実施の形態3を例示した図。(a)図はBOSTボードの上面図。(b)図はBOST-1Fボードの上面図。(c)図はDUTボードの上面図。

(d)図はそれらの側面図。

【図5】 この発明による半導体集積回路の試験装置とされる使用した試験方法の実施の形態4のDUT部分を

示し、(a)図はその側面図、(b)図は上面図。

【図6】 この発明による半導体集積回路の試験装置とそれを使用した試験方法の実施の形態5の回路構成を示すブロック図。

【符号の説明】

10, 10A テスト回路基板(DUTボード)、
11, 11A 被試験半導体集積回路(DUT)、

20 テスト補助装置(BOST装置)、 21, 21A テスト補助基板(BOSTボード)、 40 試験機(ラスタ)、 51 被試験半導体集積回路のA/D変換回路、 52 被試験半導体集積回路のD/A変換回路、 61 試験用D/A変換回路、 62 試験用A/D変換回路、 63 データ回路、 66 測定データメモリ、 69 DSP解析部。

フロントページの続き

(72)発明者 山田 真二

兵庫県伊丹市瑞原四丁目1番地 菱電セミ
コンダクタシステムエンジニアリング株式
会社内

(72)発明者 船倉 輝彦

東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内

Fターム(参考) 2G032 AA09 AB01 AC07 AE02 AE10
AF01 AG02 AJ05 AJ07 AK01
AL00
5J022 AA01 AB01 AC03 BA02 BA05
CD02 CE01 CE05 CG01